

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-268563

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

G11C 11/407
 G11C 16/06
 H01L 27/108
 H01L 21/8242

(21)Application number : 11-069977

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.03.1999

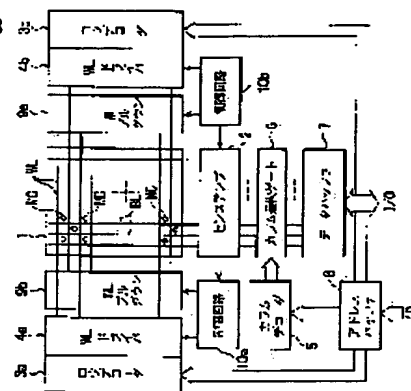
(72)Inventor : OKAMOTO TOMOYUKI
 HARA TAKEHIKO

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor storage device which can pull down (discharge) word lines fast and enables a high speed operation.

SOLUTION: This device is equipped with a memory cell array 1, a row decoder 3 and a column decoder 5 which select a word line WL and a bit line BL of the memory cell array 1, a sense amplifier 2 which senses readout data of the memory cell array 1 and latches write data, and a word line driver 4 which is arranged on one end part of a selected word line to drive the selected word line; and a pull-down circuit 9 which is activated, when the word line is made unselected, to electrostatically discharge the word line is arranged at the word line end part on the opposite side from the word line driver 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-268563

(P2000-268563A)

(43) 公開日 平成12年 9月29日 (2000. 9. 29)

(51) Int.Cl.⁷

識別記号

F I

テーマト* (参考)

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 E 5 B 0 2 4

16/06

17/00

6 3 3 B 5 B 0 2 5

H 0 1 L 27/108

6 3 3 D 5 F 0 8 3

21/8242

H 0 1 L 27/10

6 8 1 A

6 8 1 F

審査請求 未請求 請求項の数2 O L (全 4 頁)

(21) 出願番号

特願平11-69977

(22) 出願日

平成11年 3月16日 (1999. 3. 16)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岡本 具之

神奈川県川崎市幸区堀川町580番 1 号 株
式会社東芝半導体システム技術センター内

(72) 発明者 原 毅彦

神奈川県川崎市幸区堀川町580番 1 号 株
式会社東芝半導体システム技術センター内

(74) 代理人 100092820

弁理士 伊丹 勝

Fターム(参考) 5B024 AA15 BA13 CA15 CA21

5B025 AD03 AE05

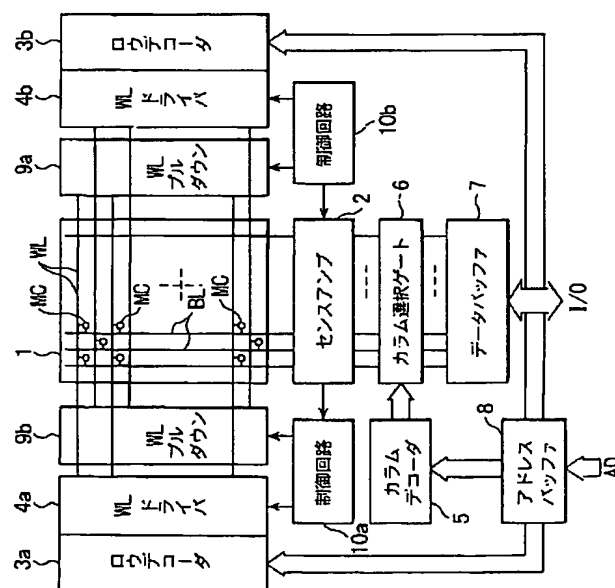
5F083 AD00 GA01 LA10 LA16

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ワード線の高速立ち下げを可能とし、もって高速動作を可能とした半導体記憶装置を提供する。

【解決手段】 メモリセルアレイ 1 と、このメモリセルアレイ 1 のワード線 WL とビット線 BL の選択を行うロウデコーダ 3 及びカラムデコーダ 5 と、メモリセルアレイ 1 の読み出しデータをセンスし、書き込みデータをラッチするセンスアンプ 2 と、選択されたワード線を駆動するための、ワード線の一方の端部に配置されたワード線ドライバ 4 とを備え、更にワード線ドライバ 4 とは反対側のワード線端部に、ワード線が非選択状態とされたときに活性化されてワード線の電荷を放電するためのブルダウン回路 9 を配置した。



【特許請求の範囲】

【請求項 1】 複数本ずつの互いに交差するワード線とビット線、及びこれらのワード線とビット線の交差部に配置されたメモリセルを有するメモリセルアレイと、このメモリセルアレイのワード線とビット線の選択を行うデコード回路と、

前記メモリセルアレイの読み出しデータをセンスし、書き込みデータをラッチするセンスアンプと、

前記デコード回路により選択されたワード線を駆動するための、ワード線の端部に配置されたワード線ドライバと、

このワード線ドライバとは異なる位置でワード線に接続され、ワード線が非選択状態とされたときに活性化されてワード線の電荷を放電するためのブルダウン回路とを備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記デコード回路は、隣接するワード線を互いに反対側の端部で選択するように前記メモリセルアレイの両側に分散的に配置されたロウデコーダと、ビット線選択を行うカラムデコーダとを有し、

前記各ロウデコーダに対応して、前記ワード線ドライバがロウデコーダ側に端部に、前記ブルダウン回路がワード線ドライバとは反対側の端部に配置されていることを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、DRAM等の半導体記憶装置に関する。

【0002】

【従来の技術】 DRAM等の半導体記憶装置は、素子及び配線の微細化と大容量化がますます進んでいる。これに伴い、特にワード線は抵抗及び浮遊容量が大きくなり、ワード線電位の遷移遅延がDRAMの一層の高速動作化を阻害する大きな原因となっている。

【0003】 ロウデコーダにより選択されたワード線を駆動するためのワード線ドライバの出力端、即ちワード線との接続端には通常、ブルダウン用トランジスタが設けられている。このブルダウン用トランジスタは、非選択状態にあるワード線が選択されたワード線との容量カップリング等により電位上昇するのを抑えと共に、選択ワード線が非選択状態になったときにそのワード線の立ち下げ（即ち電荷放電）を加速させる働きをする。

【0004】

【発明が解決しようとする課題】 従来のDRAM等のワード線駆動方式では、ワード線をその一端側からのみ駆動するため、特に選択されたワード線を非選択状態にするときのワード線立ち下げの遅延時間が、メモリの大容量化と共に増大し、これが高速のデータ書き込み／読み出しを困難にしている。

【0005】 この発明は、上記事情を考慮してなされたもので、ワード線の高速立ち下げを可能とし、もって高

速動作を可能とした半導体記憶装置を提供することを目的としている。

【0006】

【課題を解決するための手段】 この発明に係る半導体記憶装置は、複数本ずつの互いに交差するワード線とビット線、及びこれらのワード線とビット線の交差部に配置されたメモリセルを有するメモリセルアレイと、このメモリセルアレイのワード線とビット線の選択を行うデコード回路と、前記ビット線のデータを検知するセンスアンプと、前記デコード回路により選択されたワード線を駆動するための、ワード線の端部に配置されたワード線ドライバと、このワード線ドライバとは異なる位置でワード線に接続され、ワード線が非選択状態とされたときに活性化されてワード線の電荷を放電するためのブルダウン回路とを備えたことを特徴とする。

【0007】 具体的にこの発明において、デコード回路は、ワード線選択を行うロウデコーダとビット選択を行うカラムデコーダとを有し、ロウデコーダは例えば、隣接するワード線を互いに反対側の端部で選択するようにメモリセルアレイの両側に分散的に配置される。この場合、各ロウデコーダに対応して、ワード線ドライバがロウデコーダ側に端部に、ブルダウン回路がワード線ドライバとは反対側の端部に配置されるようにする。

【0008】 この発明によると、ワード線ドライバとは別に、例えばワード線ドライバとは反対側のワード線端部にブルダウン回路を設けることにより、選択状態から非選択状態へのワード線電位の遷移を加速するようにしている。これにより、高速のデータ書き込み／読み出しサイクルを実現することができる。

【0009】

【発明の実施の形態】 以下、図面を参照して、この発明の実施の形態を説明する。図1は、実施の形態のDRAMのブロック構成を示す。メモリセルアレイ1は、複数本ずつのワード線WLとビット線BLが互いに交差して配設され、それらの各交差部にメモリセルMCを配置して構成される。このメモリセルアレイ1の読み出しデータをセンスし、書き込みデータをラッチするためにセンスアンプ2が設けられている。また、ワード線選択及びビット線選択を行うためにそれぞれ、ロウデコーダ3（3a, 3b）及びカラムデコーダ5とカラム選択ゲート6が設けられている。

【0010】 ロウデコーダ3はこの実施の形態の場合、偶数番目のワード線をメモリセルアレイ1の一方の端部のロウデコーダ3aが選択し、奇数番目のワード線をメモリセルアレイ1の他方の端部のロウデコーダ3bが選択するように、メモリセルアレイ1の両側に分散されて配置されている。アドレスADはアドレスバッファ8に取り込まれ、ロウアドレス及びカラムアドレスがそれぞれロウデコーダ3及びカラムデコーダ5によりデコードされる。センスアンプ2により読み出されたデータはカ

ラム選択ゲート6を介し、データバッファ7を介して入出力端子I/Oに取り出される。

【0011】ロウデコーダ3a、3bにより選択されるワード線WLを駆動するために、それぞれロウデコーダ3a、3b側のワード線端部にワード線ドライバ4a、4bが設けられている。また、各ワード線WLのワード線ドライバ4a、4bとは反対側の端部には、ワード線WLが選択状態から非選択状態に移移するときに活性化されてワード線WLの電荷放電を加速するためのプルダウン回路9a、9bが設けられている。プルダウン回路9a、9bの制御信号には例えば、ワード線ドライバ4a、4bの立ち下げタイミングを制御する制御回路10a、10bから得られるタイミング信号が用いられる。

【0012】図2は、図1における一方のロウデコーダ3a側のワード線ドライバ4aと、これにより駆動される4本のワード線WL1~WL4の反対側端部に配置されたプルダウン回路9aの部分の具体的構成例を示している。この例で示す4本のワード線WL1~WL4は、メモリセルアレイ1の異なる4ブロックなかの対応するロウアドレスで選択されるものである。即ち、各ワード線WL1~WL4を駆動するPMOSトランジスタQ1とNMOSトランジスタQ2からなるドライブ段DR1~DR4のNMOSトランジスタQ2の共通接続されたゲートN0には、ロウデコーダ3の出力が入る。各ドライブ段DR1~DR4のPMOSトランジスタQ1のソースN1~N4には、ワード線選択時に、デコード機能を持つ制御回路10aからそのいずれか一つに駆動電圧が供給される。

【0013】各ドライブ段DR1~DR4に近接して、それぞれのワード線WL1~WL4には、プルダウン用NMOSトランジスタQ3が接続されている。これらのプルダウン用トランジスタQ3のゲート端子N1'~N4'には、端子N1~N4とは逆の制御信号が入る。従って、任意のワード線が選択されたとき、これにつながるトランジスタQ3がオフ、また選択ワード線に隣接する非選択ワード線（図2では省略されている、ワード線ドライバ9bに接続された非選択ワード線）では対応するトランジスタQ3がオンになる。これにより、選択ワード線が電位上昇するときの隣接する非選択ワード線へのカップリングノイズが抑えられる。また、選択ワード線がオフしたときは、そのワード線に接続されているトランジスタQ3がオンとなり、ワード線電荷を引き抜く。即ち、プルダウン用トランジスタQ3は、カップリングノイズ対策と、ワード線がオフになるときの電荷引き抜きの二つの働きをする。

【0014】ワード線WL1~WL4のワード線ドライバ4aとは反対側の端部には、プルダウン回路9aを構成するNMOSトランジスタQ4がそれぞれ接続されている。これらのプルダウン用トランジスタQ4は、ゲートが共通の制御端子Xに接続されている。プルダウン用

トランジスタQ4のそれぞれを、プルダウン用トランジスタQ3に入る制御信号と同じもので制御することも考えられるが、この制御信号をワード線の一端から他端まで引き回すことはスペースの点で現実的ではない。そこでこの実施の形態では、プルダウン用トランジスタQ4のゲートを共通に制御端子Xに接続し、これに入る制御信号として、選択ワード線をオフにする（即ち、VSSレベルに落とす）タイミング制御を行う制御回路10bから得られるタイミング信号を用いる。ロウデコーダ3a、3bは一本のワード線を選択するものの、両側の制御回路10a、10bは共に、選択ワード線をオン、オフさせるタイミング信号を持っている。

【0015】図3は、図2の構成において、ワード線選択の動作を説明するためのタイミング図である。ワード線選択デコード部の出力端子N0が“L”でワード線選択状態となる。この間に端子N1が“H”になり、残りの端子N2~N4が“L”を保つことにより、4本のワード線WL1~WL4のうちワード線WL1がPMOSトランジスタQ1を介して充電されて立ち上がる。端子N1が“H”になると同時に、端子N1'は“L”になり、選択されたワード線WL1のプルダウン用トランジスタQ3はオフになる。

【0016】一方この間、端子N2'~N4'は、端子N1'と相補的に“H”となり、非選択のワード線WL2~WL4のプルダウン用トランジスタQ3がオンになって、これらのワード線WL2~WL4を接地電位に保つ。またこの間、制御信号Xが“L”であって、ワード線ドライバとは反対側のワード線端部にあるプルダウン用トランジスタQ4もオフを保つ。

【0017】端子N0が“H”になることにより、ドライブ段DR1~DR4ではPMOSトランジスタQ1がオフ、NMOSトランジスタQ2がオンになり、ワード線非選択状態になる。それに先だって端子N1が“L”になり、同時に端子N1'が“H”に立ち上がる。端子N2'~N4'は“H”状態を保つ。これにより、ワード線WL1の電荷はドライブ段DR1のNMOSトランジスタQ2を通して放電され、またプルダウン用トランジスタQ3により放電が加速される。同時に、制御信号Xが“H”になることで、ワード線ドライバ4と反対側のプルダウン用トランジスタQ4が全てオンになり、選択ワード線WL1の電荷放電は更に加速されることになる。

【0018】以上のようにこの実施の形態では、ワード線が非選択状態になるときに、ワード線のドライブ端のみならず、反対側の端部でも電荷放電が行われる。従って、ワード線の立ち下がり時のCR時定数は、ワード線の一端側でのみ放電する場合に比べて等価的に1/4になる。これにより、ワード線の高速放電が可能になり、従来に比べて高速のデータ書き込み/読み出しサイクルを実現することができる。

【0019】この発明は上記実施の形態に限られない。上記実施の形態では、新たなワード線プルダウン回路をワード線ドライバとは反対側のワード線端部に配置したが、ワード線の他の適当な位置に配置することもできる。またスペース的に許容されるなら、複数箇所にワード線プルダウン回路を付加することにより、ワード線立ち下げの一層の高速化が図られる。

【0020】

【発明の効果】以上述べたようにこの発明によれば、ワード線ドライバとは別に、ワード線の適当な位置にプルダウン回路を付加することにより、選択状態から非選択状態へのワード線電位の遷移を加速して、高速のデータ書き込み／読み出しサイクルを実現することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態によるDRAMのブロック構成を示す図である。

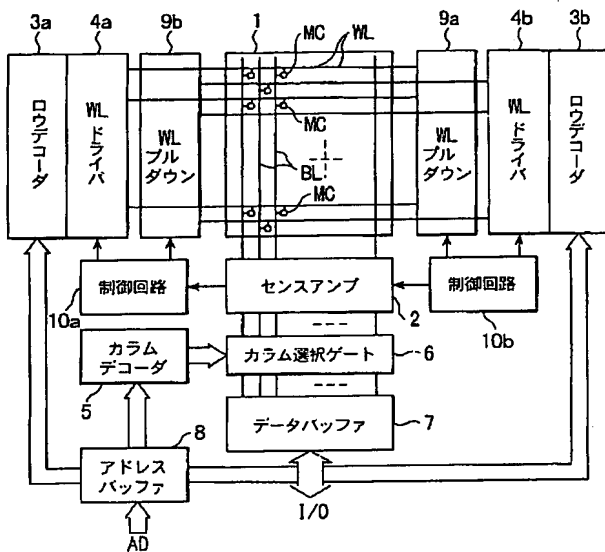
【図2】同実施の形態のワード線ドライバ及びプルダウン回路の具体構成例を示す図である。

【図3】同実施の形態の動作タイミング図である。

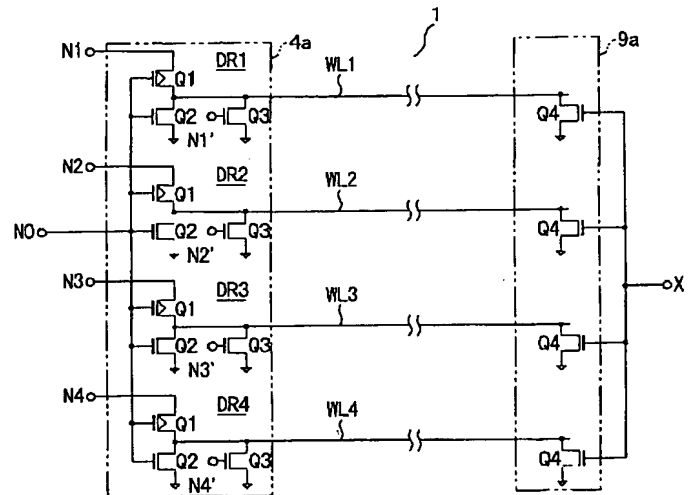
【符号の説明】

1…メモリセルアレイ、2…センスアンプ、3…ロウデコーダ、4…ワード線ドライバ、5…カラムデコーダ、6…カラム選択ゲート、7…データバッファ、8…アドレスバッファ、9…ワード線プルダウン回路、10…制御回路。

【図1】



【図2】



【図3】

